

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/52

H01L 27/04 H01L 21/70

H01L 21/768

[12] 发明专利申请公开说明书

[21] 申请号 01111864.4

[43] 公开日 2001 年 10 月 3 日

[11] 公开号 CN 1315745A

[22] 申请日 2001.3.22 [21] 申请号 01111864.4

[30] 优先权

[32] 2000.3.28 [33] JP [31] 089290/2000

[71] 申请人 株式会社东芝

地址 日本神奈川县

[72] 发明人 吉富崇 松本雅彦

[74] 专利代理机构 中国国际贸易促进委员会专利商标事
务所

代理人 王永刚

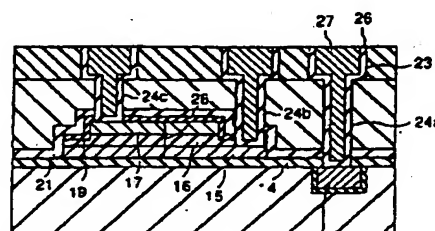
BEST AVAILABLE COPY

权利要求书 4 页 说明书 11 页 附图页数 9 页

[54] 发明名称 半导体装置及其制造方法

[57] 摘要

使得在实现器件的微细化的同时,形成大电容值的电容器或具有 2 种以上的电容值的多个电容器成为可能,且使得缓和电场集中成为可能。在绝缘膜内形成第 1 布线 13,与该第 1 布线 13 分开来地形成由下部电极膜 15 和上部电极膜 17 和电介质膜 16 构成的电容器 28。此外,构成电容器 28 的电介质膜 16 的膜厚与把 Cu 扩散防止膜 14 的膜厚和硅氮化膜 19 和 21 的膜厚加起来的膜厚大体上相等。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体装置, 其特征是具备:
在第 1 绝缘膜内选择性地形成的布线;
在整个面上形成的第 2 绝缘膜;
在上述布线以外的上述第 2 绝缘膜上边形成的第 1 电极膜;
在上述第 1 电极膜上边形成、具有膜厚薄的区域的第 3 绝缘膜;
在上述膜厚薄的区域以外的第 3 绝缘膜上边形成的第 2 电极膜;
覆盖上述第 2 电极膜、且在上述第 3 绝缘膜的膜厚薄的区域上边形成的第 4 绝缘膜;
在整个面上形成的第 5 绝缘膜;
在上述第 5 绝缘膜上边形成的第 1 层间绝缘膜;
在上述第 1 层间绝缘膜上边形成的第 2 层间绝缘膜;
与在上述第 1 层间绝缘膜内形成的上述第 2 电极膜连接的第 1 通孔;
至少侧面与上述膜厚薄的区域的第 3 绝缘膜接连, 并与在上述第 1 层间绝缘膜内形成的上述第 1 电极膜连接的第 2 通孔;
与在上述第 1 层间绝缘膜内形成的上述布线连接的第 3 通孔;
分别位于在上述第 2 层间绝缘膜内形成的上述第 1、第 2、第 3 通孔上边的布线沟槽。
2. 权利要求 1 所述的半导体装置, 其特征是: 用上述第 1、第 2 电极膜和上述第 3 绝缘膜形成电容器。
3. 权利要求 1 所述的半导体装置, 其特征是: 上述第 2 绝缘膜的膜厚、上述第 3 绝缘膜的膜厚、把上述第 4 和第 5 绝缘膜的膜厚加起来的膜厚大体上相等。
4. 权利要求 1 所述的半导体装置, 其特征是: 上述第 3 绝缘膜在上述第 1 电极膜上边的一部分上形成, 上述第 2 通孔的侧面与上述第 4、第 5 绝缘膜接连。
5. 一种半导体装置, 其特征是具备:

在第 1 绝缘膜内形成的第 1 布线;
在整个面上形成的第 2 绝缘膜;
与在上述第 2 绝缘膜内形成的上述第 1 布线连接的第 1、第 2 连接孔;

在上述第 1 连接孔上边形成的第 1 电极膜;
形成覆盖上述第 1 电极膜的第 3 绝缘膜;
在上述第 3 绝缘膜上边形成的第 2 电极膜;
在上述第 2 电极膜上边形成的第 2 布线;
与上述第 2 布线离开一个间隙、与上述第 2 连接孔连接的第 3 布线。

6. 权利要求 5 所述的半导体装置, 其特征是: 由上述第 1、第 2 电极膜和上述第 3 绝缘膜形成电容器。

7. 一种半导体装置, 其特征是具备:
在第 1 绝缘膜内选择性地形成的布线;
在整个面上形成的第 2 绝缘膜;
在上述第 2 绝缘膜上边与上述布线的一部分进行重叠那样形成的第 1 电极膜;

在上述第 1 电极膜上边的一部分上形成的第 3 绝缘膜;
在上述第 3 绝缘膜上边形成的第 2 电极膜;
在整个面上形成的第 1 层间绝缘膜;
在上述第 1 层间绝缘膜上边形成的第 2 层间绝缘膜;
与在上述第 1 层间绝缘膜内形成的上述布线连接的第 1 通孔;
与在上述第 1 层间绝缘膜内形成的上述第 2 电极膜连接的第 2 通孔;

与在上述第 1 层间绝缘膜内形成的第 1 电极膜连接的第 3 通孔;
分别位于在上述第 2 层间绝缘膜内形成的上述第 1、第 2、第 3 通孔上边的布线沟槽。

8. 权利要求 7 所述的半导体装置, 其特征是: 用上述布线和上述第 1 电极膜和上述第 2 绝缘膜形成第 1 电容器, 用上述第 1、第 2 电

极膜和上述第 3 绝缘膜形成第 2 电容器, 上述第 1、第 2 电容器的电容值不同。

9. 一种半导体装置的制造方法, 其特征是具备下述工序:

在第 1 绝缘膜内形成布线的工序;

在整个面上形成第 2 绝缘膜的工序;

在上述第 2 绝缘膜上边形成第 1 电极膜的工序;

在上述第 1 电极膜上边形成第 3 绝缘膜的工序;

在上述第 3 绝缘膜上边形成第 2 电极膜的工序;

不使上述第 1 电极膜的表面露出来那种程度地使上述第 2 电极膜和上述第 3 绝缘膜图形化的工序;

在整个面上形成第 4 绝缘膜的工序;

除去上述第 3、第 4 绝缘膜和上述第 1 电极膜, 使上述布线上边的上述第 2 绝缘膜的表面露出来的工序;

在整个面上形成第 5 绝缘膜的工序;

在上述第 5 绝缘膜上边形成第 1 层间绝缘膜的工序;

在上述第 1 层间绝缘膜上边形成第 2 层间绝缘膜的工序;

除去上述第 1 层间绝缘膜, 在上述第 1 层间绝缘膜内形成与上述第 2 电极膜连接的第 1 通孔、与上述第 1 电极膜连接的第 2 通孔、与上述布线连接的第 3 通孔的工序;

除去上述第 2 层间绝缘膜在上述第 2 层间绝缘膜内的上述第 1、第 2、第 3 通孔上边分别形成布线沟槽的工序。

10. 权利要求 9 所述的半导体装置的制造方法, 其特征是: 上述第 2 绝缘膜的膜厚、上述第 3 绝缘膜的膜厚、把上述第 4 和第 5 绝缘膜的膜厚加起来的膜厚大体上相等。

11. 一种半导体装置的制造方法, 其特征是具备下述工序:

在第 1 绝缘膜内形成第 1 布线的工序;

在整个面上形成第 2 绝缘膜的工序;

在上述第 2 绝缘膜内形成与上述第 1 布线连接的第 1、第 2 连接孔的工序;

在上述第 1 连接孔上边形成第 1 电极膜的工序;

覆盖上述第 1 电极膜那样地形成第 3 绝缘膜的工序;

在上述第 3 绝缘膜上边形成第 2 电极膜的工序;

使上述第 2 电极膜和上述第 3 绝缘膜图形化, 使上述第 2 连接孔的表面和上述第 2 连接孔周边的上述第 2 绝缘膜的表面露出来的工序;

在上述已图形化的上述第 2 电极膜上边形成第 2 布线的同时, 形成与上述第 2 连接孔连接的第 3 布线的工序。

12. 一种半导体装置的制造方法, 其特征是具备下述工序:

在第 1 绝缘膜内形成第 1 布线的工序;

在整个面上形成第 2 绝缘膜的工序;

在上述第 2 绝缘膜上边形成第 1 电极膜的工序;

使得在上述布线上边的一部分上剩下上述第 1 电极膜那样地除去上述第 1 电极膜的工序;

在整个面上形成第 3 绝缘膜的工序;

在上述第 3 绝缘膜上形成第 2 电极膜的工序;

使得仅仅在上述第 1 电极膜上边剩下那样地除去上述第 3 绝缘膜和上述第 2 电极膜的工序;

在整个面上形成第 1 层间绝缘膜的工序;

在上述第 1 层间绝缘膜上边形成第 2 层间绝缘膜的工序;

除去上述第 1 层间绝缘膜, 在上述第 1 层间绝缘膜内形成与上述布线连接的第 1 通孔、与上述第 2 电极膜连接的第 2 通孔、与第 1 电极膜连接的第 3 通孔的工序;

除去上述第 2 层间绝缘膜, 在上述第 2 层间绝缘膜内的上述第 1、第 2、第 3 通孔上边分别形成布线沟槽的工序。

说明书

半导体装置及其制造方法

本发明涉及具有电容器的半导体装置及其制造方法。

近些年来，伴随着器件的微细化，已可以提供使用双金属镶嵌构造 Cu 布线的半导体装置。

现有的双金属镶嵌构造的半导体装置，如图 15 所示，在 SiO_2 膜内例如形成了由 Cu 构成的第 1 布线 62。在该第 1 布线 62 上边形成电介质膜 63，在该电介质膜 63 上边形成上部电极 64。再在层间绝缘膜 65 内形成连接到上部电极 64 上的通孔 66，形成连接到该通孔 66 上的例如由 Cu 构成的第 2 布线 67。

在这样的半导体装置中，形成由第 1 布线、电介质膜 63、上部电极 64 构成的电容器 68。即，埋入到 SiO_2 膜 61 内的第 1 布线 62，具有作为电容器 68 的下部电极的作用。

但是，在上述现有的半导体装置中，电容器 68 的电容值，由下部电极 62 和上部电极 64 之内具有小的表面积的电极的表面积决定。为此，在要求大电容值的电容器的情况下，不仅要加大上部电极 64 的表面积，还必须加大下部电极 62 的表面积。因此，要在形成大电容值的电容器的同时，实现器件的微细化是非常困难的。

此外，图 17 示出了图 16 的 B 部分的扩大图。如图 17 所示，由于电介质膜 63 一侧的上部电极 64 的端部 64a 变成为锐角，故在该端部 64a 上将发生电场集中。因此，产生了器件的可靠性降低的问题。

再有，作为模拟无源器件使用的电容器的大多数，虽然是已固定为一种电容值，但是，产生了要在一个层间内需要具有各种电容值的电容器的情况。例如，要想应对在电容器的电容值中会产生波动性的电容器的配对性的问题，人们认为要减小因电容值的波动性而产生的影响。但是，如果加大电容器的面积，则将产生伴随着充电的延迟时间变长的问题。因此，还需要减小电容器的单位面积的电容值。因为

这样的电容值小的电容器可以缩短充电时间，可以实现伴随着充电的延迟时间的缩短。为应对这样的要求，就产生了在一个层间内形成具有2种以上电容值的多个电容器而不会增大芯片面积的必要。

如上所述，在现有的半导体装置中，要在实现器件的微细化的同时，形成大电容值的电容器或具有2种以上电容值的多个电容器是非常困难的。此外，还存在着电场集中于电极的端部，器件的可靠性降低的问题。

本发明就是为解决上述课题而发明的，目的在于提供使得在实现器件的微细化的同时，形成大电容值的电容器或具有2种以上电容值的多个电容器成为可能，而且还可以缓和电场集中的半导体装置及其制造方法。

为实现上述目的，本方面使用以下所示方式。

本发明的第1半导体装置的特征是具备：在第1绝缘膜内选择性地形成的布线；在整个面上形成的第2绝缘膜；在上述布线以外的上述第2绝缘膜上边形成的第1电极膜；在上述第1电极膜上边形成、具有膜厚薄的区域的第3绝缘膜；在上述膜厚薄的区域以外的第3绝缘膜上边形成的第2电极膜；覆盖上述第2电极膜、且在上述第3绝缘膜的膜厚薄的区域上边形成的第4绝缘膜；在整个面上形成的第5绝缘膜；在上述第5绝缘膜上边形成的第1层间绝缘膜；在上述第1层间绝缘膜上边形成的第2层间绝缘膜；与在上述第1层间绝缘膜内形成的上述第2电极膜连接的第1通孔；至少侧面与上述膜厚薄的区域的第3绝缘膜接连，并与在上述第1层间绝缘膜内形成的上述第1电极膜连接的第2通孔；与在上述第1层间绝缘膜内形成的上述布线连接的第3通孔；分别位于在上述第2层间绝缘膜内形成的上述第1、第2、第3通孔上边的布线沟槽。

用上述第1、第2电极膜和上述第3绝缘膜形成电容器。

把上述第2绝缘膜的膜厚、上述第3绝缘膜的膜厚和把上述第4和第5绝缘膜的膜厚加起来的膜厚形成为大体上相等。

理想的是，上述第3绝缘膜在上述第1电极膜上边的一部分上形

成，上述第 2 通孔的侧面与上述第 4、第 5 绝缘膜接连。

本发明的第 2 半导体装置，具备：在第 1 绝缘膜内形成的第 1 布线；在整个面上形成的第 2 绝缘膜；与在上述第 2 绝缘膜内形成的上述第 1 布线连接的第 1、第 2 连接孔；在上述第 1 连接孔上边形成的第 1 电极膜；形成为覆盖上述第 1 电极膜的第 3 绝缘膜；在上述第 3 绝缘膜上边形成的第 2 电极膜；在上述第 2 电极膜上边形成的第 2 布线；与上述第 2 布线离开一个间隙、与上述第 2 连接孔连接的第 3 布线。

由上述第 1、第 2 电极膜和上述第 3 绝缘膜形成电容器。

本发明的第 3 半导体装置，具备：在第 1 绝缘膜内选择性地形成的布线；在整个面上形成的第 2 绝缘膜；在上述第 2 绝缘膜上边与上述布线的一部分进行重叠那样地形成的第 1 电极膜；在上述第 1 电极膜上边的一部分上形成的第 3 绝缘膜；在上述第 3 绝缘膜上边形成的第 2 电极膜；在整个面上形成的第 1 层间绝缘膜；在上述第 1 层间绝缘膜上边形成的第 2 层间绝缘膜；与在上述第 1 层间绝缘膜内形成的上述布线连接的第 1 通孔；与在上述第 1 层间绝缘膜内形成的上述第 2 电极膜连接的第 2 通孔；与在上述第 1 层间绝缘膜内形成的第 1 电极膜连接的第 3 通孔；分别位于在上述第 2 层间绝缘膜内形成的上述第 1、第 2、第 3 通孔上边的布线沟槽。

理想的是，用上述布线和上述第 1 电极膜和上述第 2 绝缘膜形成第 1 电容器，用上述第 1、第 2 电极膜和上述第 3 绝缘膜形成第 2 电容器，上述第 1、第 2 电容器的电容值不同。

本发明的第 1 半导体装置的制造方法，具备下述工序：在第 1 绝缘膜内形成布线的工序；在整个面上形成第 2 绝缘膜的工序；在上述第 2 绝缘膜上边形成第 1 电极膜的工序；在上述第 1 电极膜上边形成第 3 绝缘膜的工序；在上述第 3 绝缘膜上边形成第 2 电极膜的工序；不使上述第 1 电极膜的表面露出来那种程度地使上述第 2 电极膜和上述第 3 绝缘膜图形化的工序；在整个面上形成第 4 绝缘膜的工序；除去上述第 3、第 4 绝缘膜和上述第 1 电极膜，使上述布线上边的上述

第 2 绝缘膜的表面露出来的工序；在整个面上形成第 5 绝缘膜的工序；在上述第 5 绝缘膜上边形成第 1 层间绝缘膜的工序；在上述第 1 层间绝缘膜上边形成第 2 层间绝缘膜的工序；除去上述第 1 层间绝缘膜，在上述第 1 层间绝缘膜内形成与上述第 2 电极膜连接的第 1 通孔、与上述第 1 电极膜连接的第 2 通孔、与上述布线连接的第 3 通孔的工序；除去上述第 2 层间绝缘膜在上述第 2 层间绝缘膜内的上述第 1、第 2、第 3 通孔上边分别形成布线沟槽的工序。

理想的是，把上述第 2 绝缘膜的膜厚、上述第 3 绝缘膜的膜厚、把上述第 4 和第 5 绝缘膜的膜厚加起来的膜厚形成为大体上相等。

本发明的第 2 半导体装置的制造方法，具备下述工序：在第 1 绝缘膜内形成第 1 布线的工序；在整个面上形成第 2 绝缘膜的工序；在上述第 2 绝缘膜内形成与上述第 1 布线连接的第 1、第 2 连接孔的工序；在上述第 1 连接孔上边形成第 1 电极膜的工序；覆盖上述第 1 电极膜那样地形成第 3 绝缘膜的工序；在上述第 3 绝缘膜上边形成第 2 电极膜的工序；使上述第 2 电极膜和上述第 3 绝缘膜图形化，使上述第 2 连接孔的表面和上述第 2 连接孔周边的上述第 2 绝缘膜的表面露出来的工序；在上述已图形化的上述第 2 电极膜上边形成第 2 布线的同时，形成与上述第 2 连接孔连接的第 3 布线的工序。

本发明的第 3 半导体装置的制造方法，具备下述工序：在第 1 绝缘膜内形成第 1 布线的工序；在整个面上形成第 2 绝缘膜的工序；在上述第 2 绝缘膜上边形成第 1 电极膜的工序；使得在上述布线上边的一部分上剩下上述第 1 电极膜那样地除去上述第 1 电极膜的工序；在整个面上形成第 3 绝缘膜的工序；在上述第 3 绝缘膜上形成第 2 电极膜的工序；使得仅仅在上述第 1 电极膜上边剩下那样地除去上述第 3 绝缘膜和上述第 2 电极膜的工序；在整个面上形成第 1 层间绝缘膜的工序；在上述第 1 层间绝缘膜上边形成第 2 层间绝缘膜的工序；除去上述第 1 层间绝缘膜，在上述第 1 层间绝缘膜内形成与上述布线连接的第 1 通孔、与上述第 2 电极膜连接的的第 2 通孔、与第 1 电极膜连接的第 3 通孔的工序；除去上述第 2 层间绝缘膜，在上述第 2 层间绝

缘膜内的上述第 1、第 2、第 3 通孔上边分别形成布线沟槽的工序。

图 1 的剖面图示出了本发明的实施例 1 的半导体装置的制造工序。

图 2 的剖面图接在图 1 后边示出了本发明的实施例 1 的半导体装置的制造工序。

图 3 的剖面图接在图 2 后边示出了本发明的实施例 1 的半导体装置的制造工序。

图 4 的剖面图接在图 3 后边示出了本发明的实施例 1 的半导体装置的制造工序。

图 5 的剖面图接在图 4 后边示出了本发明的实施例 1 的半导体装置的制造工序。

图 6 的剖面图接在图 5 后边示出了本发明的实施例 1 的半导体装置的制造工序。

图 7 的剖面图示出来本发明的实施例 2 的半导体装置的制造工序。

图 8 的剖面图接在图 7 后边示出了本发明的实施例 2 的半导体装置的制造工序。

图 9 的剖面图接在图 8 后边示出了本发明的实施例 2 的半导体装置的制造工序。

图 10 的剖面图是图 9 的 A 部分的扩大图，示出来本发明的实施例 2 的电极端部。

图 11 对实施例 2 和现有技术中的电极端部的电场强度进行了比较。

图 12 的剖面图示出了本发明的实施例 3 的半导体装置的制造工序。

图 13 的剖面图接在图 12 后边示出了本发明的实施例 3 的半导体装置的制造工序。

图 14 的剖面图接在图 13 后边示出了本发明的实施例 3 的半导体装置的制造工序。

图 15 的剖面图接在图 14 后边示出了本发明的实施例 3 的半导体装置的制造工序。

图 16 的剖面图示出来现有技术的半导体装置。

图 17 的剖面图是图 16 的 B 部分的扩大图，示出来现有技术中的电极端部。

以下，参看附图说明本发明的实施例。

[实施例 1]

实施例 1，对具有双金属镶嵌构造的 Cu 布线的半导体装置进行说明。以下，对实施例 1 中的半导体装置的制造方法进行说明。

首先，如图 1 所示，在 SiO_2 膜 11 内形成了布线沟槽 11a 之后，在整个面上形成势垒金属层 12。在该势垒金属层 12 上边形成例如 Cu 之类的布线材料，把布线沟槽 11a 填埋起来。其次，借助于 CMP (Chemical Mechanical Polish, 化学机械抛光) 等，一直到 SiO_2 膜 11 的表面露出来为止，使布线材料、势垒金属层 12 平坦化，形成埋入到 SiO_2 膜 11 内的第 1 布线 13。

其次，用溅射法，在整个面上形成例如由 SiN 膜构成的 Cu 扩散防止膜 14，在该 Cu 扩散防止膜 14 上边形成例如由 TiN 膜构成的下部电极膜 15。在该下部电极膜 15 上边形成例如由 Ta_2O_5 膜构成的上部电极膜 17。在这里，Cu 扩散防止膜 14 的膜厚，例如作为 50nm，下部电极膜 15 的膜厚例如作为 60nm，电介质膜 16 的膜厚例如作为 50nm，上部电极膜 17 的膜厚例如作为 50nm。

其次，如图 2 所示，在上部电极膜 17 上边形成光刻胶膜 18，用光刻技术使该光刻胶膜图形化。以该图形化后的光刻胶膜 18 为掩模，用 RIE (Reactive Ion Etching, 反应性离子刻蚀) 除去上部电极膜 17。在这里，在除去上部电极膜 17 的同时，还除去仅仅 30nm 的电介质膜 16。结果是可以形成部分地具有比上部电极膜 17 的宽度还大的宽度的电介质膜 16。这样一来，就可以形成由上部电极膜 17、电介质膜 16、下部电极膜 15 构成的电容器 28。然后，除去光刻胶膜 18。

其次，如图 3 所示，在整个面上形成 SiN 膜 19。在该 SiN 膜 19 上边形成光刻胶膜 20，用光刻技术使该光刻胶膜 20 图形化。以该图形化后的光刻胶 20 为掩模，用 RIE 除去 SiN 膜 19、电介质膜 16、下

部电极膜 15, 使 Cu 扩散防止膜 14 的表面露出来。然后, 除去光刻胶膜 20。

其次, 如图 4 所示, 在整个面上形成 SiN 膜 21。在这里, 把 SiN 膜 19 和 20 的膜厚加起来的膜厚, 例如作为大约 50nm 左右。

其次, 如图 5 所示, 用 PEVCD(Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学汽相淀积)法, 在整个面上形成例如由 SiO_2 膜构成的第 1 层间绝缘膜 22, 用 CMP 法, 使第 1 层间绝缘膜 22 平坦化。在该平坦化后的第 1 层间绝缘膜 22 上边形成第 2 层间绝缘膜 23。该第 2 层间绝缘膜 23, 由例如 SiN 膜之类的低介电系数层间绝缘膜构成。借助于此, 就可以实现布线间电容的降低。

其次, 用光刻技术和 RIE 除去第 1 层间绝缘膜, 在第 1 层间绝缘膜 22 内形成通孔 24a、24b、24c。在这里, 通孔 24a 与上部电极膜 17 连接, 通孔 24b 与下部电极膜 15 连接, 通孔 24c 与第 1 布线 13 连接。

其次, 刻蚀第 2 层间绝缘膜 23, 在第 2 层间绝缘膜 23 内的通孔 24a、24b、24c 上边, 分别形成布线沟槽 25。

其次, 如图 6 所示, 在整个面上形成例如由 TaN 构成的势垒金属层 26。在该势垒金属层 26 上边形成例如 Cu 之类的布线材料, 用该布线材料把通孔 24a、24b、24c 和布线沟槽 25 填埋起来。其次, 用 CMP 等, 一直到使第 2 层间绝缘膜 23 的表面露出来为止, 使势垒金属层 26 和布线材料平坦化, 形成第 2 布线 27。

倘采用上述实施例 1, 则可以不把第 2 布线 13 当作电容器的下部电极地与第 1 布线分开来地形成电容器 28。因此, 通过仅仅调整下部电极 15 和上部电极 17 的面积的办法, 就可以形成大电容值的电容器而无须加大第 1 布线。因此, 器件的微细化也将会变得容易起来。

此外, 在上部电极 17 的加工时, 采用完全不刻蚀下部电极 15 上边的电介质膜 16 的办法, 就可以形成部分地具有比上部电极膜 17 的宽度还大的宽度的电介质膜 16。借助于此, 在可以防止形成漏电流通路的同时, 还可以缓和在上部电极 17 端部上的电场集中。

此外, 电容器 28 上下的绝缘膜 14、19、21, 由于不是象现有技术

术那样被通孔的高度所左右的层间绝缘膜，故绝缘膜 14、19、21 的膜厚的调整是容易的。为此，可以使电介质膜 16 的膜厚（50nm）变成与 SiN 膜 19 和 20 的膜厚（50nm）或 Cu 扩散防止膜 14 的膜厚（50nm）大体上相同。因此，由于可以减小电介质膜 16 与 SiN 膜 19、20 和 Cu 扩散防止膜 14 的膜厚之差，故可以避免接触电阻的增大。

此外，通孔 24a、24b、24c，可以在形成了电容器 28 之后形成。即，在电容器 28 形成时，由于在第 1 布线 13 的表面上已经形成了 Cu 扩散防止膜 14，故可以防止第 1 布线 13 中的 Cu 污染。

此外，如上所述，由于电容器 28 与第 1 布线 13 分开来形成，故第 1 布线 13 仅仅在通孔 24a 的下边形成即可。就象现有技术那样，在第 1 布线 62 的表面积大的情况下，归因于第 1 布线 62 的膜的减少，电介质膜 63 的面积受到限制的问题就变得显著起来。但是，由于可以使第 1 布线 13 的表面积形成得比现有技术小，故可以抑制膜减少的问题。再有，即便是 Cu 扩散防止膜 14 中的介电系数高，由于仅仅在一部分上形成第 1 布线 13，故可以减小寄生电容。

另外，在实施例 1 中，通孔 24b 的侧面虽然已与硅氮化膜 19、21 或电介质膜 16 接连，但是并无限定与此。例如，也可以作成为这样的构造：在下部电极 15 上边的一部分上形成电介质膜 16，使通孔 24b 的侧面与硅氮化膜 19、21 接连。在这种情况下，具有可以使通孔 24a、24b、24c 的加工条件（刻蚀条件）相等的优点。

[实施例 2]

实施例 2 对具有 Al 布线的半导体装置进行说明。以下，对实施例 2 的半导体装置的制造方法进行说明。

首先，如图 7 所示，在 SiO_2 膜 31 内形成由 Al 构成的第 1 布线 32。其次，在整个面上形成例如由 SiO_2 膜构成的层间绝缘膜 33，在该层间绝缘膜 33 内形成通孔 34a、34b。其次，在整个面上形成例如由 SiN 构成的下部电极膜 35，该下部电极膜 35 被图形化为仅仅在通孔 34a 上边才会剩下。在这里，设下部电极膜 35 的膜厚例如为 60nm。

其次，如图 8 所示，在整个面上形成例如由 Ta_2O_5 膜构成的电介

质膜 36, 在该电介质膜 36 上边形成例如由 TiN 构成的上部电极膜 37. 在这里, 设电介质膜 36 的膜厚例如为 50nm, 设上部电极膜 37 的膜厚例如为 50nm.

其次, 形成光刻胶膜 (未画出来) 使该光刻胶膜图形化为在通孔 34b 上边以外才会剩下. 以该图形化的光刻胶膜为掩模, 除去上部电极膜 37 和电介质膜 36, 使通孔 34b 的表面和通孔 34b 周边的层间绝缘膜 33 的表面露出来. 借助于此就可以形成由下部电极膜 35、电介质膜 36 和上部电极膜 37 构成的电容器. 然后, 除去光刻胶膜.

其次, 如图 9 所示, 在整个面上形成了由 Al 构成的布线材料并使之图形化. 结果是在上部电极膜 37 上边形成第 2 布线 38 的同时, 还可以形成与通孔 34b 连接的第 3 布线 38b.

图 10 示出了图 9 的 A 部分的扩大图, 图 11 示出了现有技术与本发明进行比较的电极端部处的电场强度.

如图 10 所示, 电介质膜 36 一侧的下部电极 35 的端部 35a 已变成钝角. 因此, 如图 11 所示, 与现有技术比较, 本发明电极端部的电场已减弱.

倘采用上述实施例 2, 下部电极 35 的宽度形成得比电介质膜 36 和上部电极 37 还小, 下部电极 35 变成已被电介质膜 36 和上部电极 37 覆盖起来的构造. 借助于此, 由于电介质膜 36 一侧的下部电极 35 的端部 35a 将变成钝角, 故可以缓和电场集中于该端部 64a 的事态. 因此, 可以提高器件的可靠性.

[实施例 3]

实施例 3 对具有双金属镶嵌构造的 Cu 布线和叠层构造的电容器的半导体装置进行说明. 以下, 对实施例 3 的半导体装置的制造方法进行说明.

首先, 如图 12 所示, 在 SiO_2 膜 41 内形成了布线沟槽 41a 之后, 形成势垒金属层 42. 在该势垒金属层 42 上边形成例如 Cu 之类的布线材料, 把布线沟槽 41a 填埋起来. 其次, 用 CMP 等, 一直到使 SiO_2 膜 41 的表面露出来为止, 使布线材料、势垒金属层 42 平坦化, 形成

埋入到 SiO_2 膜 41 内的第 1 布线 43。

其次，在整个面上形成例如由 SiN 膜构成的电介质膜 44，在该电介质膜 44 上边形成例如由 TiN 膜、 Ta 膜等构成的中间电极膜 45。

其次，如图 13 所示，在中间电极膜 45 上边形成光刻胶膜（未画出来）使之图形化。以该图形化的光刻胶膜为掩模，使得在第 1 布线 43 上边剩下一部分那样地除去中间电极膜，使电介质膜 44 的表面露出来。然后，除去光刻胶膜。借助于此，形成由第 1 布线 43、电介质膜 44 和中间电极膜 45 构成的第 1 电容器 54。在这里，第 1 布线 43 变成第 1 电容器的下部电极。以下，把该第 1 布线 43 叫做下部电极。

其次，如图 14 所示，在整个面上形成例如由 Ta_2O_5 膜构成的电介质膜 46，在该电介质膜 46 上边形成例如由 TaN 构成的上部电极膜 47。其次，在上部电极膜 47 上边形成光刻胶膜（未画出来）进行图形化。以图形化后的光刻胶膜为掩模，使得仅仅在中间电极膜 45 上边剩下那样地除去上部电极膜 47 和电介质膜 46，使电介质膜 46 和中间电极膜 45 的表面露出来。然后除去光刻胶膜。借助于此，形成由中间电极膜 45、电介质膜 46、上部电极膜 47 构成的第 2 电容器 55。在这里，第 2 电容器 55 具有与第 1 电容器不同的电容值。

其次，如图 15 所示，用 PECVD 法，在整个面上形成例如 SiO_2 膜构成的第 1 层间绝缘膜 48，用 CMP 法，使第 1 层间绝缘膜 48 平坦化。在该平坦化的第 1 层间绝缘膜 48 上边形成第 2 层间绝缘膜 49。该第 2 层间绝缘膜 49，例如由 SiN 膜之类的低介电系数层间绝缘膜构成。借助于此，就可以降低布线间的电容。

其次，借助于光刻技术和 RIE，除去第 1 层间绝缘膜 48，在第 1 层间绝缘膜 48 内形成通孔 50a、50b、50c。在这里，通孔 50a 与下部电极膜 43 连接，通孔 50b 与上部电极膜 47 连接，通孔 50c 与中间电极膜 45 连接。

其次，刻蚀第 2 层间绝缘膜 49，在第 2 层间绝缘膜 49 内的通孔 50a、50b、50c 上边分别形成布线沟槽 51。

其次，在整个面上形成例如由 TaN 构成的势垒金属层 52。在该势

垒金属层 52 上边，形成例如 Cu 之类的布线材料，用该布线材料把通孔 50a、50b、50c 和布线沟槽 51 填埋起来。其次，用 CMP 等，一直到第 2 层绝缘膜 49 的表面露出来为止，使势垒金属层 52 和布线材料平坦化，形成第 2 布线 53。

倘采用上述实施例 3，则用叠层构造在一个层间内形成了电容器 54、55。这些电容器 54、55 由于电容值不同，故在一个层间内可以形成具有各种电容值的多个的电容器。因此，对于现有的配对性的问题来说，就可以采用把多个电容器组合起来的办法实现大电容值化而无须加大电容器面积。此外，如果选择电容值小的电容器，还可以实现读出等的高速化。

如上所述，就可以形成可以应对各种要求的具有 2 种以上的电容值的多个电容器。此外，由于电容器是叠层构造，故可以缩小芯片面积，使器件的微细化成为可能。

除此之外，在不脱离其要旨的范围内，本发明还可以进行种种变形。

如上所述，倘采用本发明，就可以提供在实现器件的微细化的同时，形成大电容值的电容器或具有 2 种以上的电容值的多个电容器，而且还可以缓和电场集中的半导体装置及其制造方法。

说明书附图

图1

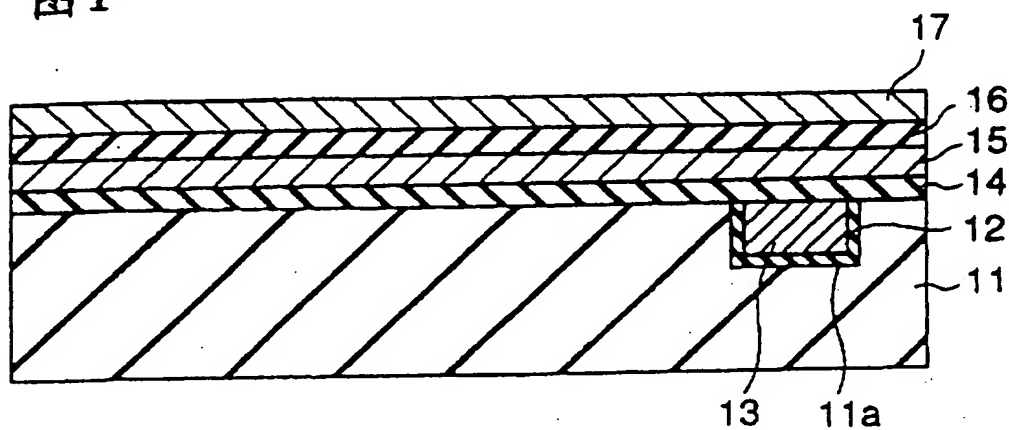


图2

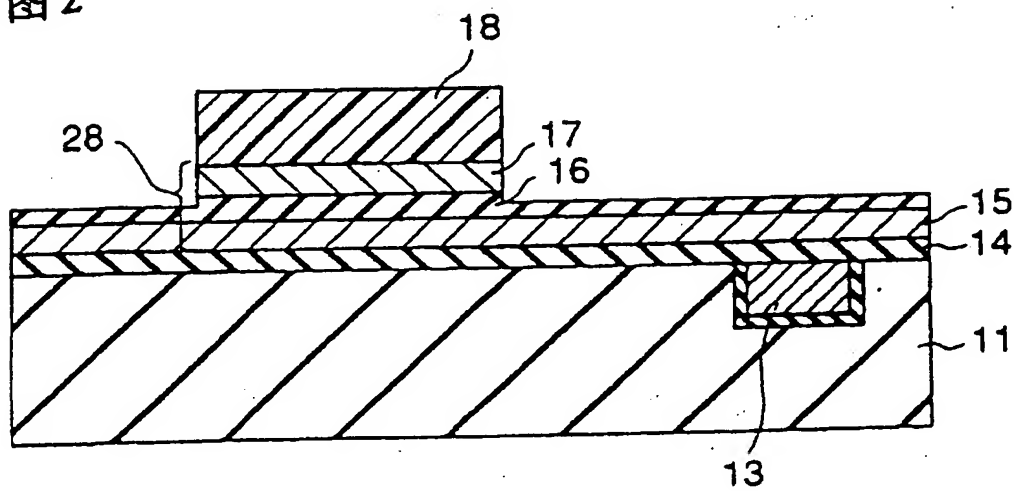


图 3

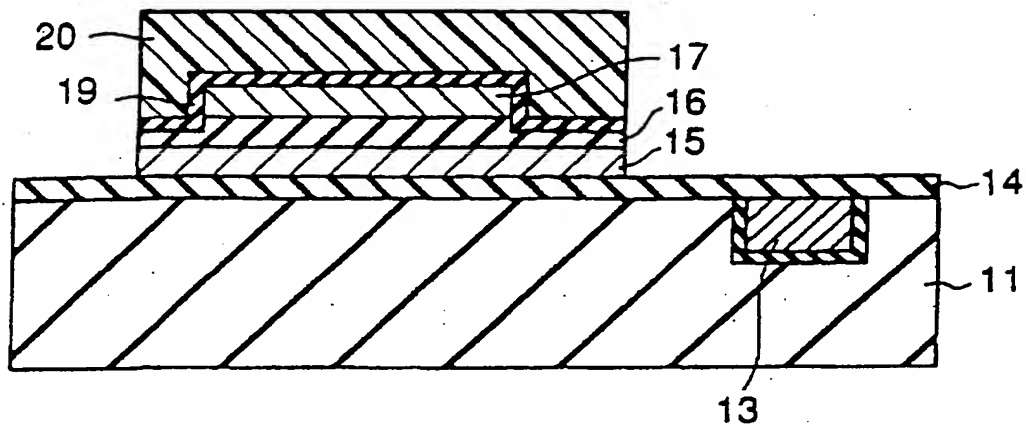


图 4

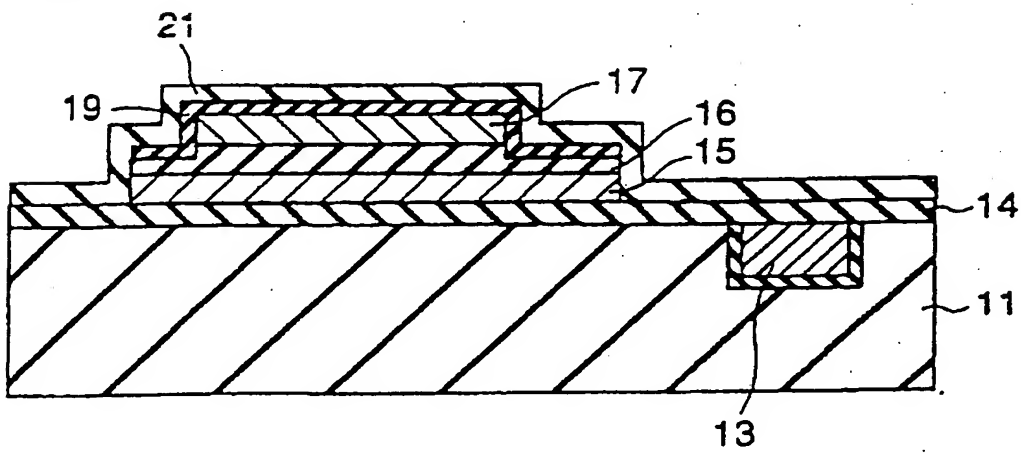


图 5

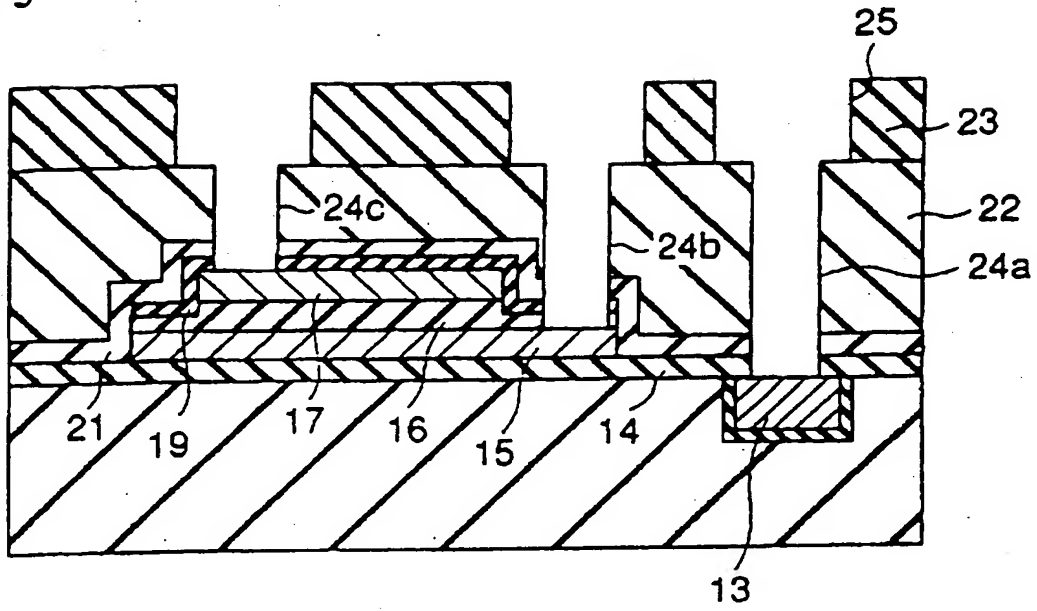


图 6

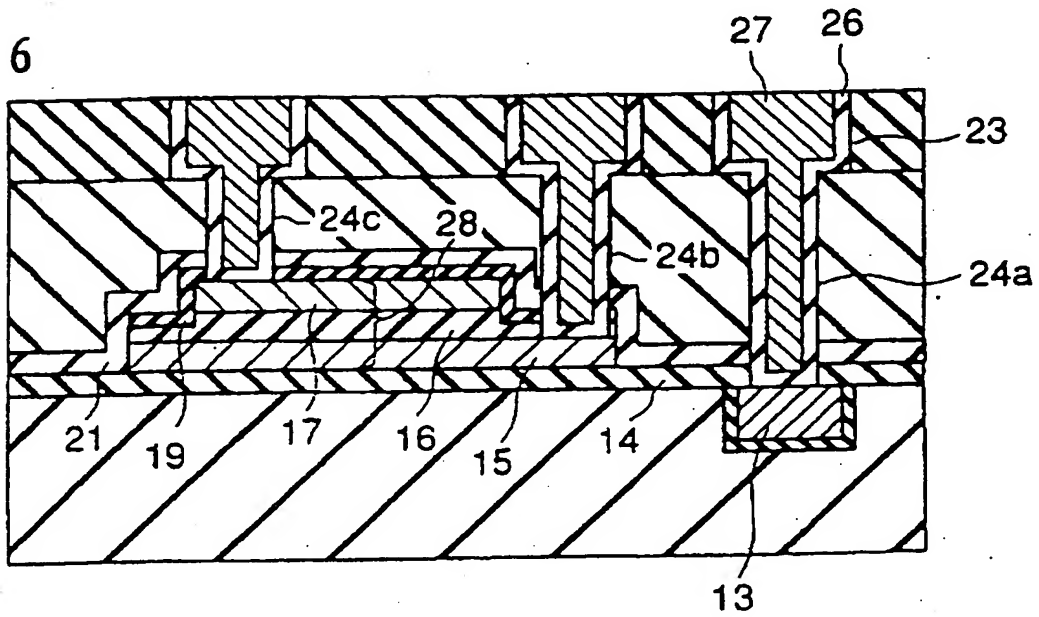


图 7

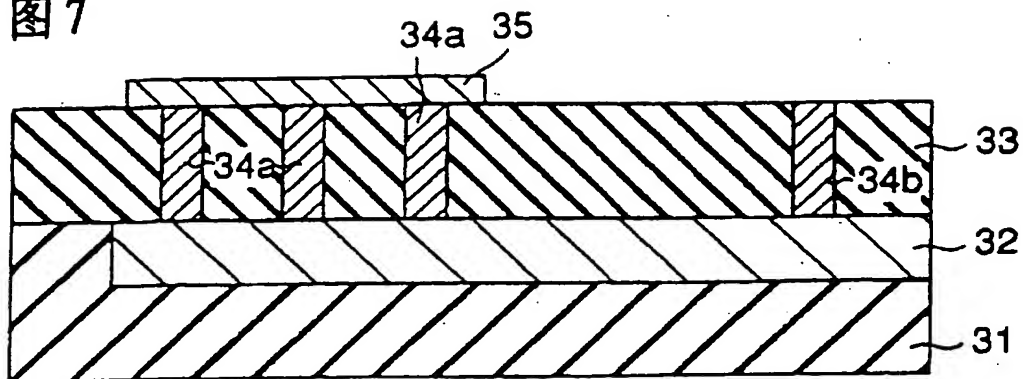


图 8

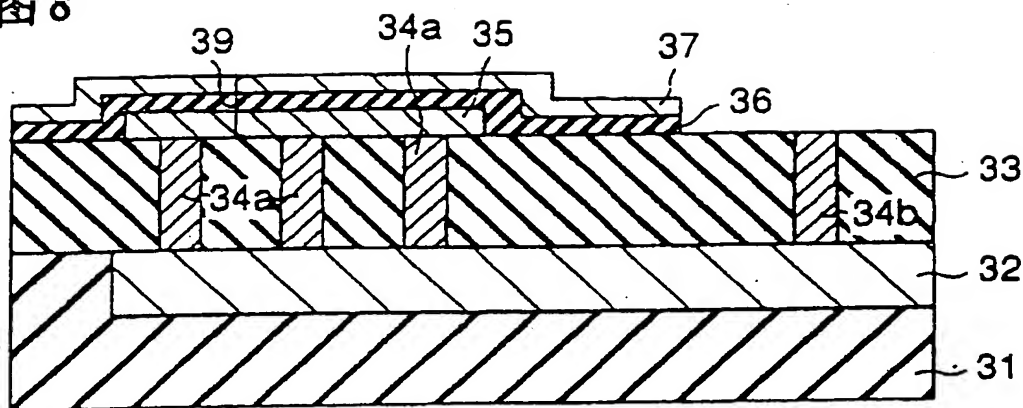


图9

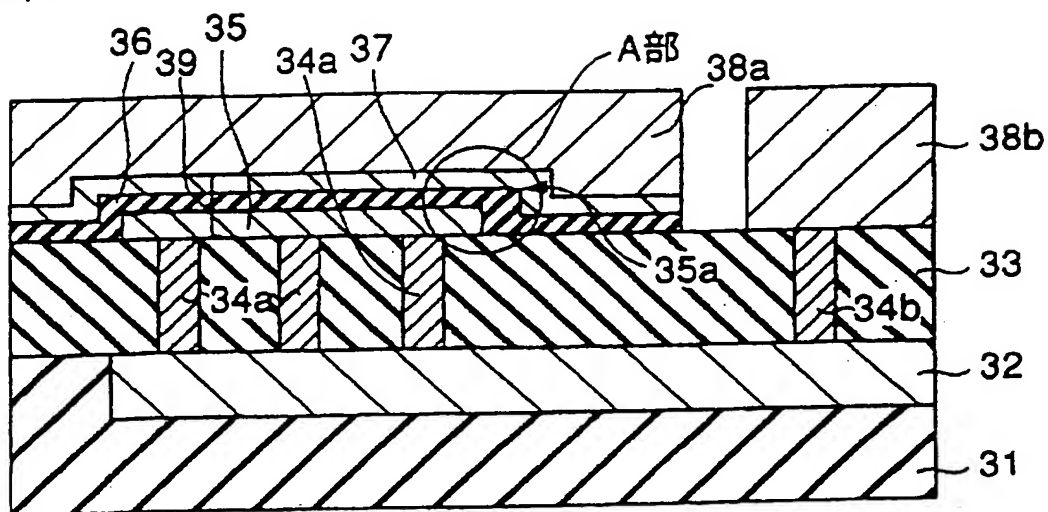


图10

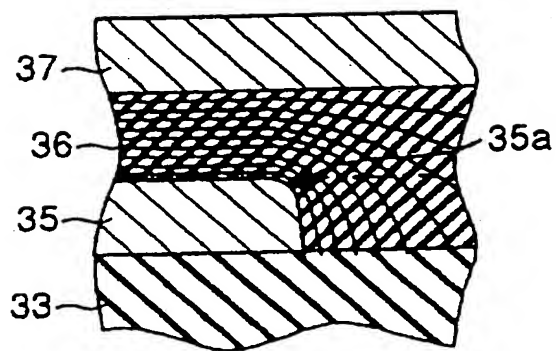


图11

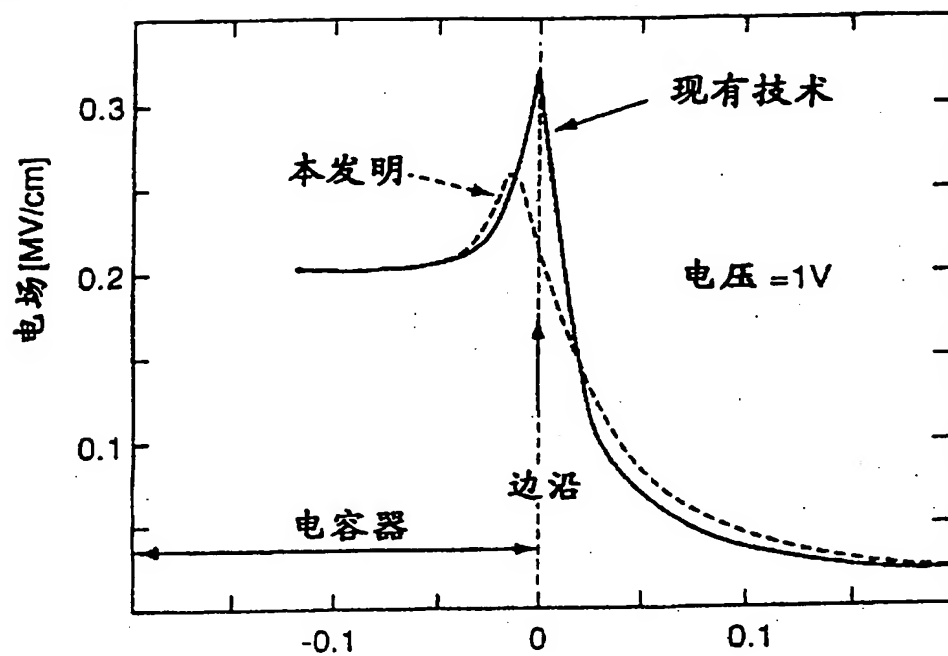


图12

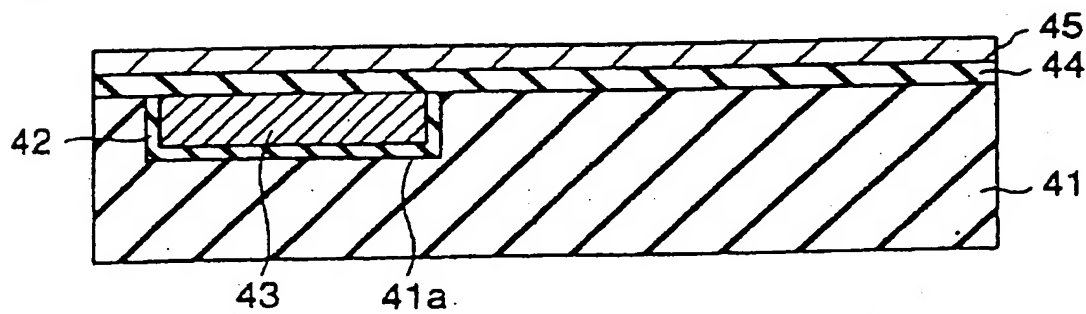


图15

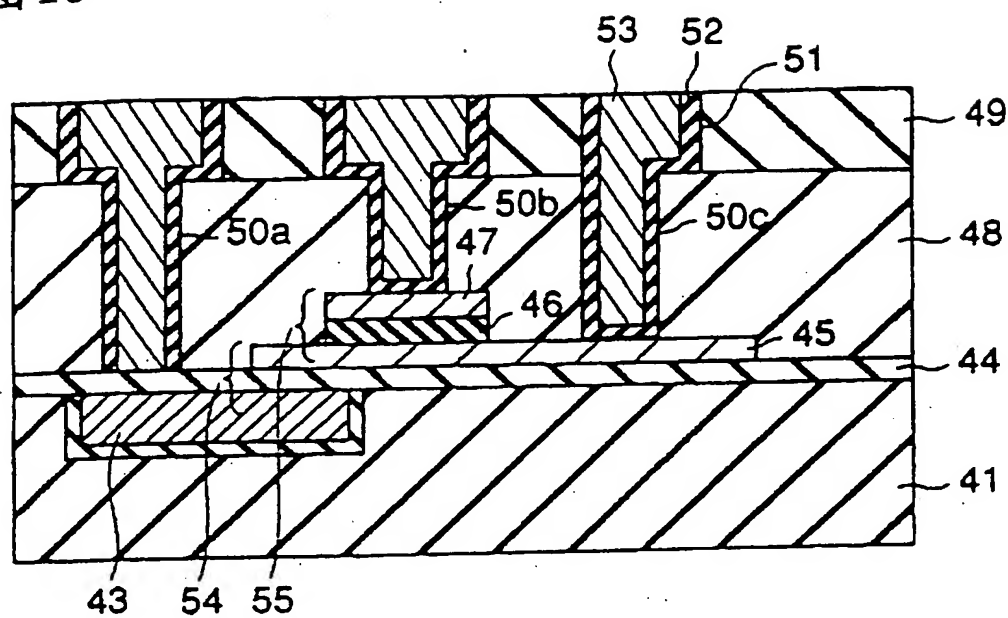


图16

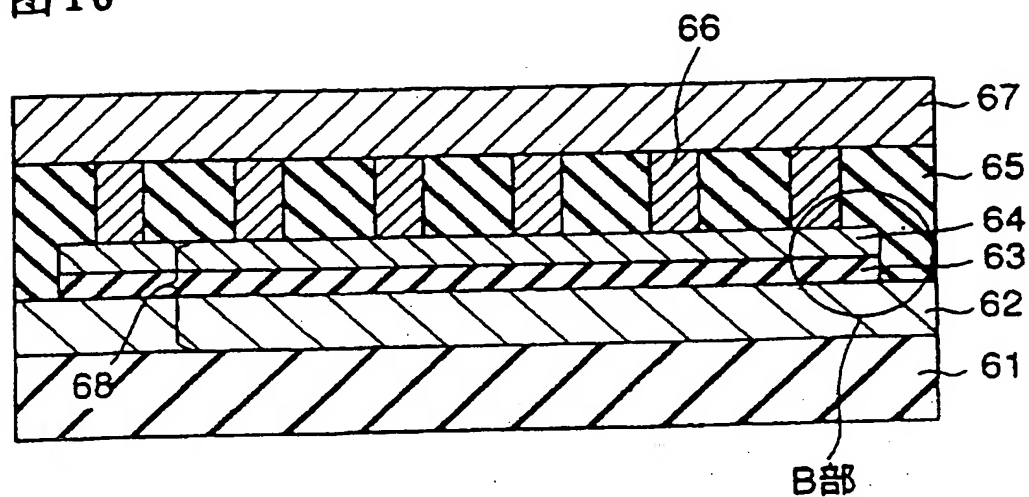


图13

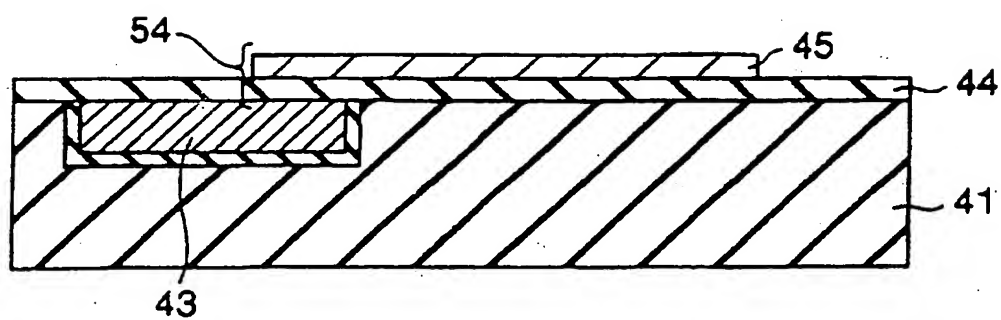


图14

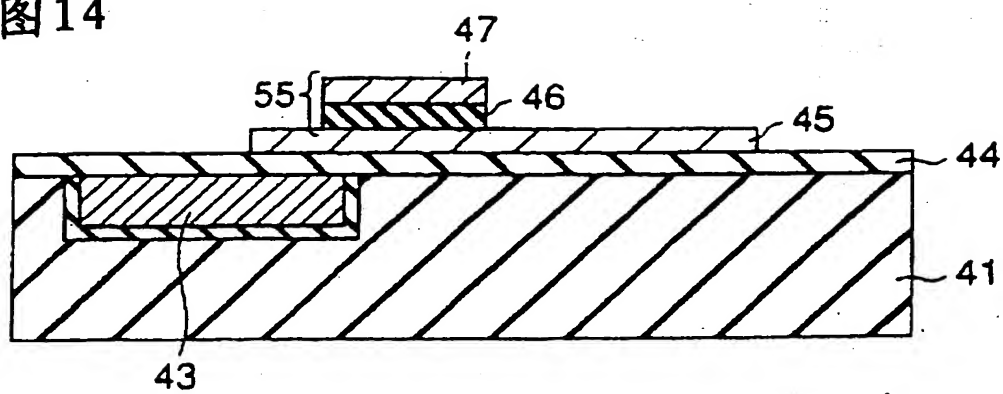
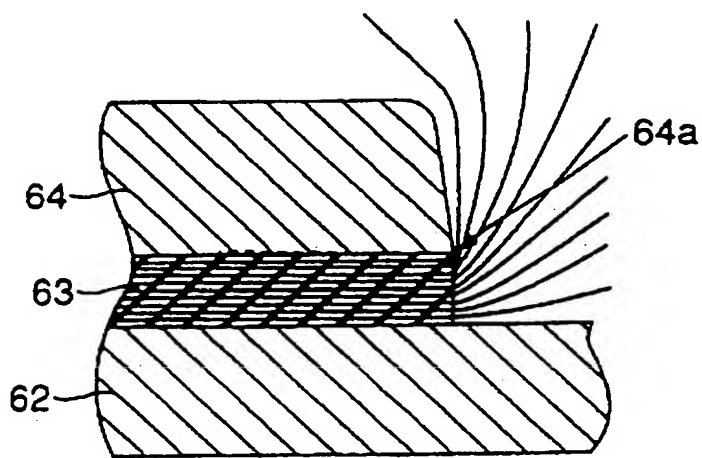


图17



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.